

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-302826

(43)Date of publication of application : 14.11.1995

(51)Int.Cl. H01L 21/66
G06F 17/50
H01L 21/02
// B23Q 41/08

(21)Application number : 06-094134

(71)Applicant : HITACHI LTD

(22)Date of filing : 06.05.1994

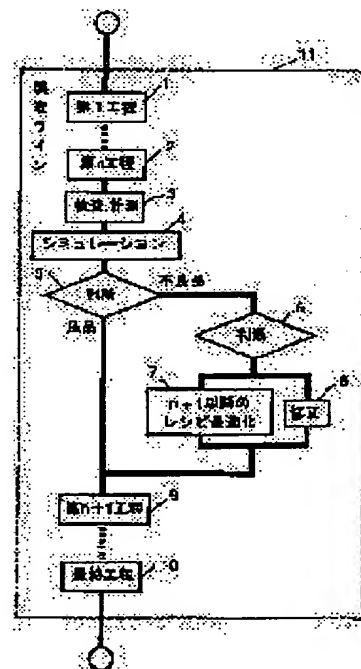
(72)Inventor : HAMAMURA YUICHI
NAKAGAWA YASUO
ITO FUMIKAZU
MIYAUCHI TAKEOKI
HARA YASUHIKO

(54) MANUFACTURE OF ELECTRONIC CIRCUIT EQUIPMENT

(57)Abstract:

PURPOSE: To make it possible to forecast and judge the yield and production cost by correcting an electronic circuit to an arbitrary process based on the inspection results for an arbitrary process of the electronic circuit or optimizing the production conditions after the next process of the arbitrary process.

CONSTITUTION: A production line 11 for LSI comprises a first process to a final process 10. Upon completion of this arbitrary n-th process 2, a pattern inspection and measurement 3 is performed, and becoming a good unit or defective unit is predicted by simulation. In the case of good unit, n+1 process is carried out as scheduled. In the case of defective unit, it is judged whether the cause of the defect is removed by correcting 8 the pattern or corrected by optimizing the producing conditions after n+1 process, and the judgment is carried out. By doing this, returning of a defective or discarded electronic circuit unit to a good unit can be realized as a high yield and also the development period can be shortened.



LEGAL STATUS

[Date of request for examination]

26.03.1999 [Number of appeal against examiner's decision of rejection]

[Date of sending the examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of extinction of right]

[Date of final disposal for application]

[Patent number]

3367201

[Date of registration]

08.11.2002

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-302826

(43) 公開日 平成7年(1995)11月14日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66		Z 7630-4M		
G 0 6 F 17/50				
H 0 1 L 21/02		Z		
// B 2 3 Q 41/08		B		
		7623-5L		
			G 0 6 F 15/ 60	3 6 0 A
			審査請求	未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平6-94134

(22) 出願日 平成6年(1994)5月6日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 濱村 有一

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72) 発明者 中川 泰夫

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72) 発明者 伊藤 文和

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

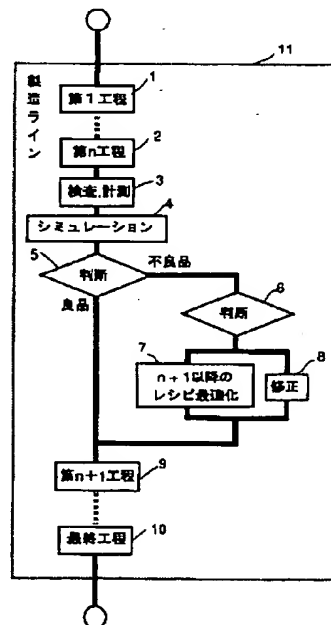
(54) 【発明の名称】 電子回路装置の製造方法

(57) 【要約】

【構成】 電子回路装置のある任意の層の製造工程後において、その層のパターンの形状の測定、あるいは物性値の測定などを行うか、その製造工程における製造装置のモニタ情報を得ることにより、その層の実際のパターン状態の情報をを用いて、その次の層以降の製造プロセスをシミュレータにより予測し、その次の層以降の製造条件を最適化するか、パターンの修正を行なうかして所望の電気回路特性を得ることを特徴とした製造方法及び製造システム。

【効果】 製造の途中で修正や製造条件の補正をしながら製造を進めていくため、不良となり廃棄していた電子回路装置を良品に戻すといった高歩留まりの実現や、開発期間の短縮が可能となる。

図1 本発明の第1の実施例の製造方法の流れ図



【特許請求の範囲】

【請求項1】 検査装置によって測定される電子回路の任意の工程の検査結果に基づいて該任意の工程までの電子回路を修正するか、該任意の工程の次以降の製造条件を最適化するかして所望の性能を得ることを特徴とする電子回路装置の製造方法。

【請求項2】 検査装置によって測定される電子回路の所望の工程までの形状及び物性値と製造装置から測定される該所望の工程までのモニタ情報とにより該所望の工程までの物理モデルを作成し、前記物理モデルと予め決められた前記所望の工程の次以降の製造工程の設計情報とに基づいてプロセスシミュレーションにより完成後の電子回路の物理モデルを予測し、該予測した電子回路の物理モデルに基づいて完成後の電子回路の電気的特性をデバイスシミュレーションにより分析して良品の電子回路が完成するか不良品の電子回路が完成するかを確認し、良品が完成すると確認された場合は、予め決められた前記所望の製造工程の次以降の製造工程の設計情報に基づいて良品の電子回路を製造し、不良品が完成すると確認された場合は、その不良原因を解析して不良原因が取り除かれるように前記所望の工程までの電子回路装置を修正するか、前記所望の製造工程の次以降の製造工程の設計情報を変更するかを判断し実行して、前記所望の製造工程の次以降の製造を行い、良品を獲得することを特徴とする電子回路装置の製造方法。

【請求項3】 特許請求の範囲第1項ないし第2項に記載の製造方法において、該製造工程の完了後に局所修正を行うことを特徴とする製造方法。

【請求項4】 検査装置によって測定される電子回路の所望の工程までの形状及び物性値と製造装置から測定される該所望の工程までのモニタ情報とにより該所望の工程までの物理モデルを作成し、予め予測した物理モデルとを比較することにより、前記所望の工程までの電子回路装置を修正するか、前記所望の製造工程の次以降の製造工程の設計情報を変更するかを判断することを特徴とするエキスパートシステム。

【請求項5】 電子回路装置の製造工程を構成する複数の製造装置と、該電子回路装置の製造途中に該電子回路装置のパターンの形状及び物性値を計測する検査装置と、該電子回路の修正装置と、該複数の製造装置、該検査装置、該修正装置の間に設けた該電子回路の搬送装置と、該製造装置に内蔵した処理中の物理的情報を監視するモニタと、該製造装置、該検査装置、該修正装置、該搬送装置に各々対応した複数のコンピュータと、該コンピュータを統括管理するホストコンピュータと、該製造装置の処理条件により該パターンの形状を予測するプロセスシミュレータと、該パターンの形状及び物性値により該電子回路装置の電気的特性を予測するデバイスシミュレータと、特許請求の範囲第4項に記載のエキスパートシステムとにより構成することを特徴とする製造システム

ム。

【請求項6】 検査装置によって測定される電子回路の所望の工程までの形状及び物性値と製造装置から測定される該所望の工程までのモニタ情報とにより該所望の工程までの物理モデルを作成し、前記物理モデルと予め決められた前記所望の工程の次以降の製造工程の設計情報とに基づいてプロセスシミュレーションにより完成後の電子回路の物理モデルを予測し、該予測した電子回路の物理モデルに基づいて完成後の電子回路の電気的特性をデバイスシミュレーションにより分析して良品の電子回路が完成するか不良品の電子回路が完成するかを確認し、良品が完成すると確認された場合は、予め決められた前記所望の製造工程の次以降の製造工程の設計情報に基づいて良品の電子回路を製造し、不良品が完成すると確認された場合は、その不良原因を解析して不良原因が取り除かれるように前記所望の工程までの電子回路装置を修正するか、前記所望の製造工程の次以降の製造工程の設計情報を変更するかを判断し実行して、前記所望の製造工程の次以降の製造を行ったことを特徴とする該電子回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体LSI、TFT等の電子回路装置の製造方法に関わり、特にある任意の製造工程の途中において、ウェハ上や基板上的パターン形状や物性値の計測した情報や、製造装置でモニタした情報などに基づいて、その次以降の製造工程を最適化する製造方法に関わる。

【0002】

【従来の技術】 近年、電子回路装置は微細化、基板垂直方向の多層化が進み製造の難度が増しとともに、開発・製造が長期間にわたるようになってきている。従来のような製造完了後、検査し、良品を選ぶという方法では、十分な歩留まりが得られないだけでなく、不良対策が製造完了後になってしまうために、開発・製造期間がさらに長くなってしまふ。

【0003】 そこで最近では、設計時に製造プロセスを予測する各種シミュレータが開発され、高歩留まり・開発期間短縮に貢献しつつある。

【0004】 特開昭63-249328では、半導体の製造ラインにおいて処理履歴情報と各工程ごとの半導体の検査情報とを用いて、現在製造中の半導体に対する、次工程以降の最適な製造条件をシミュレーションにより決定する方法が示されている。

【0005】

【発明が解決しようとする課題】 しかし、この公知例は前工程での製造条件のばらつきの補正を、処理がすすんでいる部分についての修正を何ら行うことなく、次工程以降の部分のみで行っていくという発明であり、現在のようない微細化、多層化が進んだ半導体においては、次工程

以降の設計変更を重ねていくうちに逆に以降の製造に負担がかかってしまう（例えば以降の工程の難度が増したり、歩留まりが低下したり）といった問題点や、次工程以降の製造条件の最適化だけでは対応できないような不良箇所をいかにして良品にしていこうかといった課題が未解決のままである。本発明の目的はこの問題を解決する電子回路装置の製造方法を提供することにある。

【0006】

【課題を解決するための手段】本発明では、電子回路装置のある任意の製造工程後において、処理が済んでいるパターンの形状や物性値等の測定結果と、該任意の製造工程までの製造履歴のモニタ情報とにより、その層の実際のパターン状態の情報を得て、その次の層以降の製造プロセスをシミュレータにより良品となるか不良品となるかを予測し、不良品となると予想された場合に、

(1) 処理が終了している部分について修正を行う

(2) 以後に受けるべき処理条件を最適化する

といった選択枝から最も適切な処理を、シミュレータとデータベースにより歩留まりと製造コストを予測して判断するといった製造方法を提供する。

【0007】

【作用】本発明によると、難度の高い製造や製造装置のばらつき、長期的変動等によって生じる不良を、処理が終了している部分の修正とそれ以降の処理条件の修正とのうち、どちらが時間的、経済的に効率が良く技術的に確実性があるかを考慮して判断し良品化するので、高歩留まりというまでもなく開発期間の短縮、製造コストの削減を可能にする。

【0008】

【実施例】以下、図面に従い本発明の実施例を説明する。

【0009】（実施例1）本製造方法をLSIの製造ラインに適用した例を図1に示す。このLSIの製造ライン1は第1工程1から最終工程10により構成されている。この任意の第n工程2の終了後に、パターンの検査・計測3を行い、シミュレーションにより良品となるか不良品となるかを予測する。良品の場合は第n+1工程を予定通り行なう。不良品の場合は、この不良原因をパターンを修正8することによって取り除くか、n+1工程以降の製造条件（以後、レシピ）を最適化7することによって補正していくかを判断し、実行することに本発明の特徴がある。図2に本実施例の製造システムを示す。

【0010】図2に示すように製造ライン1は、

(い) 酸化炉、マスク製造装置、露光装置、成膜装置、エッチング装置、イオン打ち込み装置など各種の製造装置20と、

(ろ) 光学検査装置、STM、AFM、TEM、測長SEM、集束イオンビームを用いた断面観察装置などのパターンの形状測定や、オージェ、イオンマイクロアナ

ライザなどの分析装置による物性値計測などを行なう検査装置22と、

(は) これらの装置間のウエハ搬送を行なう搬送装置26と、

(に) 検査後にウエハを修正する場合に備えて、集束イオンビーム加工装置やレーザCVD装置等の修正装置23により構成する。その個々の装置を制御するコンピュータ27とこれらを統括制御するホストコンピュータ28を設ける。コンピュータ27は、(α) 製造装置間の搬送順序の制御信号や、(β) 寸法（例えばマスクのCAD情報）、処理温度、処理時間、ガス圧力、エネルギー、原料等のレシピ情報や、(γ) 検査箇所、検査条件などの情報を送り、搬送装置26、製造装置20、検査装置22をコントロールする。

【0011】一方、製造装置20は、この内部に組み込まれた装置モニタにより、例えば成膜中の成膜温度・時間等の成膜条件やエッチング中のエッチング速度・時間、酸化・拡散の温度、あるいはイオン打ち込みのエネルギー、ドーズ量などの製造プロセス中に監視、測定した情報（以後、装置モニタ情報とする。）をホストコンピュータ28に送り返す。この装置モニタ情報と、検査装置22により測定された結果との関係をデータベース29に保存しておく。

【0012】ところで、LSIの設計は、シミュレータ32に組み込まれたプロセスシミュレータと、デバイスシミュレータなどを用いて行い、各工程でのパターン形状や物性値の物理モデル（以後、ワークモデル）を予め作成し、データベース31の中に記録する。完成LSIのしきい電圧や周波数特性など（以後、電気特性）はデータベース33に、レシピはデータベース35に記憶しておく。

【0013】以上の各種シミュレータと各種データベースは全てホストコンピュータ28により統括管理する。

【0014】この製造システムによる詳細な処理手順を図3を用いて述べる。

【0015】まず、第n工程において、(1) 得られた装置モニタ情報42を形状・物性値に変換する処理45をデータベース29にて行い、この処理後のn工程形状、物性値情報46と、第n工程終了後に、(2) 検査装置22により収集したn工程完ウエハ形状、物性値情報43と、(3) 実際に検査しないパターンの形状、物性値については既にデータベース31に記憶しておいた第n工程のワークモデル（予想版）44とを用いて、実際のパターンをできるかぎり近似した第n工程のワークモデルの確定処理47をワークモデル解析コンピュータ30により行い、これをn工程ワークモデル（確定版）48とし、データベース31に記憶させる。

【0016】次に、(a) この第n工程のワークモデル（確定版）48と、(b) 既にデータベース31に記憶しておいた第1工程から第n-1工程のワークモデル

(確定版) 40と、(c) データベース35に保存してある第 $n+1$ 工程以降のレシピ(暫定版) 41とを用いて、プロセスシミュレータにより最終工程完了後までのワークモデル(予想版)の作成処理49を行う。

【0017】この最終工程完了後までのワークモデル(予想版) 50を用いて、デバイスシミュレータ27により電気特性の予測51を行う。

【0018】この予測結果を用いて、データベース33において電気特性の良否判別52を行い、予測した電気特性が設計値を満足する場合には、第 $n+1$ 工程以降のレシピ(暫定版) 41を(確定版) 53にする、すなわち予定通りの製造を行なうことにし、第 $n+1$ 工程以降のワークモデル(予想版)を更新して、第 $n+1$ 工程9を引き続き実行する。予測した電気特性が設計値を満足しない場合には、(ア) 十分な電気特性が得られるかどうか、(イ) 安定な歩留まりが予想されるか、(ウ) 低コストを維持できるかなどといった観点からレシピの変更が有利か、 n 工程完ウエハの修正が有利かをデータベースに基づいて判断54し、レシピの変更だけで目標の電気特性が得られ、高歩留まり、低コストが予想できる場合は、

{ステップA始め} ワークモデル解析コンピュータ30において n 工程ワークモデル(予想版) 44と、 n 工程ワークモデル(確定版) 48とを比較することにより不良原因解析57を行い、その対策として第 $n+1$ 工程以降のレシピの変更58を行い、(i) この変更した第 $n+1$ 工程以降のプロセスレシピ(変更版) 60と、(ii) 第1から第 $n-1$ 工程までのワークモデル(確定版) 40と、(iii) 第 n 工程のワークモデル(確定版) 48とを用いて、再度電気的特性を予測し、電気特性の良否を判定52する。

【0019】{ステップA終わり}そして、電気特性が設計値を満足するまで{ステップA}を繰り返し、設計値を満足した場合、第 $n+1$ 工程以降のレシピ(変更版) 59を(確定版) 53に登録し、これに基づいて第 $n+1$ 工程以降の製造を実行する。判断54でレシピの変更が不適切と判断された場合は、 n 工程完ウエハの修正条件を求め修正8を実行する。この場合、この修正情報55を用いてワークモデル解析コンピュータ30にて、 n 工程ワークモデル(確定版) 48を更新し、データベース31に保存しなおす必要がある。

【0020】以上の判断54はデータベースに基づいてレシピの最適化7と修正8の選択を行なっているが、この判断54を行なう前に{ステップA}を行ないレシピ

の最適化7が可能かどうかを判断し、可能ならば実行する方法もある。

【0021】また、この修正情報55のみを保存し、これに基づいて最終工程10終了後に修正を行う方法もある。このような修正8と、レシピの最適化7とを組み合わせで行うことも可能である。すなわち、ある部分をレシピの最適化7で対応し、残りの部分を修正8する方法や、修正8を行った後でこの修正情報55を考慮したレシピの最適化7を行う方法などが考えられる。

10 【0022】ここで、本実施例の製造方法全体の流れ図を図4に示す。上記のようなレシピの最適化7や修正8を繰り返しながら製造ラインの最終工程10を終了した後、この電子回路装置の電気特性について電気回路テスト、電子ビームテスト等により実際にデバイス性能評価13を行う。不良品の場合はデバッグツールやこれまでに求めたワークモデルによる不良原因の推定を行なったり、外観検査装置、断面観察装置、分析装置などによる不良解析14を行なったりして、それ以降に製造する製品の任意の工程の製造条件に反映させるように対策の実施15を行なう。また、最終工程完了後のLSIを集束イオンビーム加工装置やレーザCVD装置などにより局所修正を行うことにより、良品としたり17、一時的に機能を回復させて上記の推定原因の実証を行い設計データやそれ以降に製造する製品の任意の工程の製造条件に反映させたりすることも可能である。

20 【0023】また、一度この方法で製造したものと、類似のパターンを有する製品を再度製造する場合に、過去に検査・計測3を行なったパターンの形状や物性値などの情報を活用して対策の実施12を行なうことで、より設計値に近いものを製造することができる。

【0024】このレシピ最適化7の方法を用いた具体的な例を、一般的なLSIを用いて、図5、6、7に示す。

【0025】まず、図5は、LSIの断面構造を示しており、図5aは、設計時の断面を表している。ソース72a、ドレイン73bへの不純物の打ち込み深さの設計値を d とし、実際に検査3したところ図5bに示すように $d+\alpha$ であったとする。そこで、数1、数2に示すように伝達コンダクタンス： G_m を設計値どおりにするためには、ゲート長を L_g から $L_g+2\sigma\alpha$ に変更すればよい。

【0026】

【数1】

7

$$G_m = Z / L_{eff} \cdot \mu \cdot C (V_g - V_{th}) \quad \dots (数1)$$

G_m : 伝達コンダクタンス
 Z : ゲート幅
 L_{eff} : 実効ゲート長
 μ : キャリア移動度
 V_g : ゲート電圧
 V_{th} : しきい値電圧
 C : 単位面積当たりの静電容量

【0027】

【数2】

$$L_{eff} = L_g - 2\sigma d \quad \dots (数2)$$

L_g : ゲート長
 d : 接合深さ
 σ : 縦方向に対する横方向の拡散定数比

【0028】また、ゲート絶縁膜71の厚さの設計値が t であり、実際の検査3の値が図5cのように $k \times t$ であった場合には、数3と数1より、ゲート長を $k L_g - 2\sigma d (k-1)$ に変更すればよい。

【0029】

【数3】

$$C \times t = \text{const.} \quad \dots (数3)$$

C : 単位面積当たりの静電容量
 t : ゲート絶縁膜の厚さ

【0030】このゲート長の変更などフォトマスク情報に影響を及ぼす場合には、このフォトマスクの設計変更、製造といった手続きを経て始めて最適化が実現するわけで、ゲートを形成する製造装置のみのレシピの変更だけでは実現不可能である。

【0031】また、以上のように次の工程の変更に關して最適化ができたとしても、この設計変更がそれ以降の部分に影響を与える場合が考えられる。例えば、図6aに示すように始めの設計においてゲート長が L_g であったものを、図6bに示すように $L_g + \alpha$ にする場合に、両わきの配線75a、75bが障害となるので、この配線75およびソース72、ドレイン73に配線を接続するためのコンタクトホール76の位置を変更しなければならない。さらに図7（本図はLSIの上方からの平面透視図である。）に示すように、コンタクトホールの平行移動だけでは、十分な接触面積が取れない場合は、図7bに示すようにドレイン73の余っているスペースを活用し接触面積をかせぐ必要がある。以上のようにひとつの工程のプロセスレシピを変更することは、以後の工程に連鎖的に影響を及ぼすために、プロセスシミュレーション49により最終工程までのワークモデル50を予測し、かつそのモデル50で電氣的に機能するかどうかをデバイスシミュレーション51により確認する必要があるわけである。

【0032】その他の最適化の例を、図8に示す。拡散層に配線するコンタクトホールが図8aのような設計ど

8

おりに形成されず、図8bのようにエッチング残り78がある場合この拡散層77と配線75gとの接触抵抗が大きくなってしまふ。ここで、この抵抗の増加量を検査3した結果により算出し、配線の膜厚 T あるいは幅を変更して配線自身の抵抗をその増加量だけ減少させればよい。

【0033】次に修正8の例を示す。図9には、拡散層の不純物濃度が低かった場合に最適化7を行った例を示す。このLSIはゲート70をマスクとして不純物イオンを打ち込む製法を用いている。この不純物打ち込み後、実際に測定したところ不純物濃度が不足していたとする。（図8a）この場合、ゲート70がマスクとなることを利用して、もう一度打ち込み装置にウェハを戻し、不足している分の不純物イオンを追加打ち込みすることにより修正8を行う。図8のようなエッチング残り78も同様に追加エッチングしたり、成膜に關しても同様に追加成膜したりして修正8を実行することも可能である。集束イオンビーム装置、レーザCVD装置により局所的に修正を行うことも可能である。

【0034】本実施例ではLSIの製造についてのみ述べたが、そのほかの半導体や、TFTなど薄膜デバイスなど、そのほかすべての電子回路装置の製造方法に適用できる。

【0035】なお、本実施例の製造ラインは、試作ライン・量産ラインのどちらにも適用でき、試作せずそのまま量産を可能にする製造方法にもなりうる。

【0036】

【発明の効果】製造の途中で修正や製造条件の補正をしながら製造を進めていくため、不良となり廃棄していた電子回路装置を良品に戻すといった高歩留まりの実現や、開発期間の短縮が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の製造方法の流れ図

【図2】本発明の第1の実施例の製造システムの図

【図3】本発明の第1の実施例の詳細な処理手順の流れ図

【図4】本発明の第1の実施例の製造方法の流れ図

【図5】本発明の第1の実施例のLSI断面図

【図6】本発明の第1の実施例のLSI断面図

【図7】本発明の第1の実施例のLSI上方からの平面透視図

【図8】本発明の第1の実施例のLSI断面図

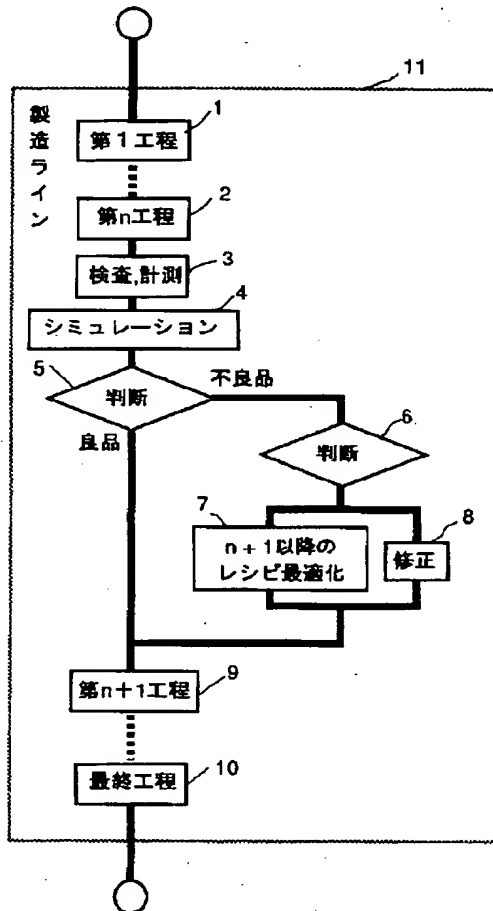
【図9】本発明の第1の実施例のLSI断面図

【符号の説明】

2…n工程、3…検査・計測、4…シミュレーション、
5…良否の判断

【図1】

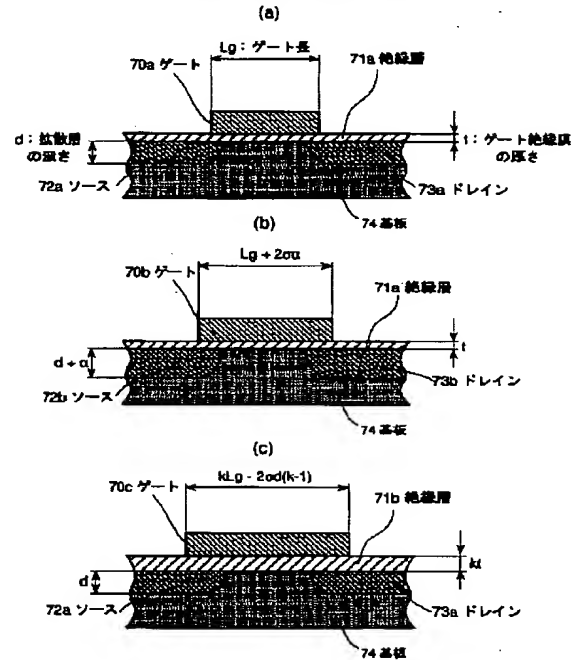
図1 本発明の第1の実施例の製造方法の流れ図



6…レシピ最適化と修正の選択の判断、7…n+1工程以降のレシピ最適化、8…修正、9…n+1工程、11…製造ライン

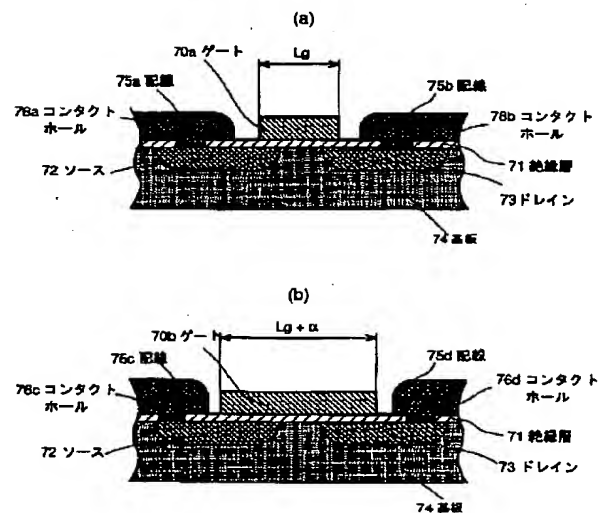
【図5】

図5 本発明の第1の実施例のLSI断面図



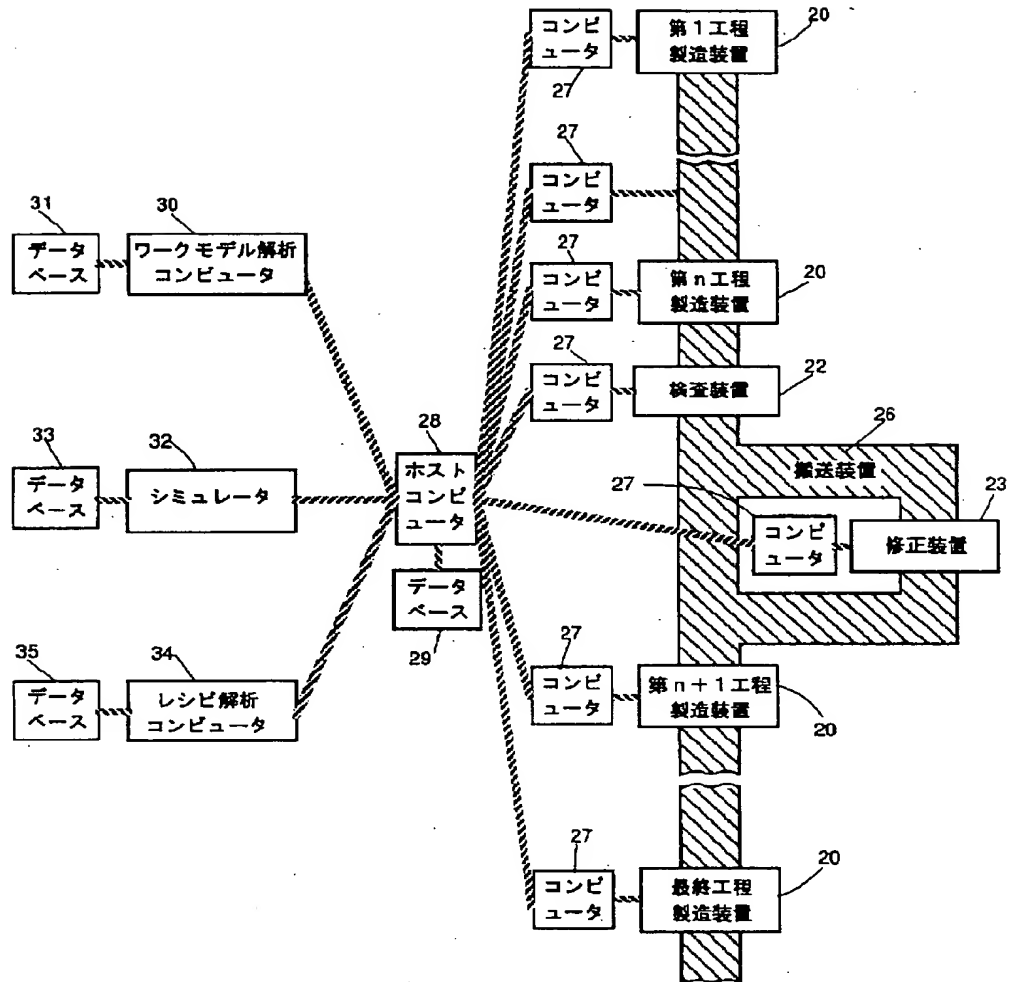
【図6】

図6 本発明の第1の実施例のLSI断面図



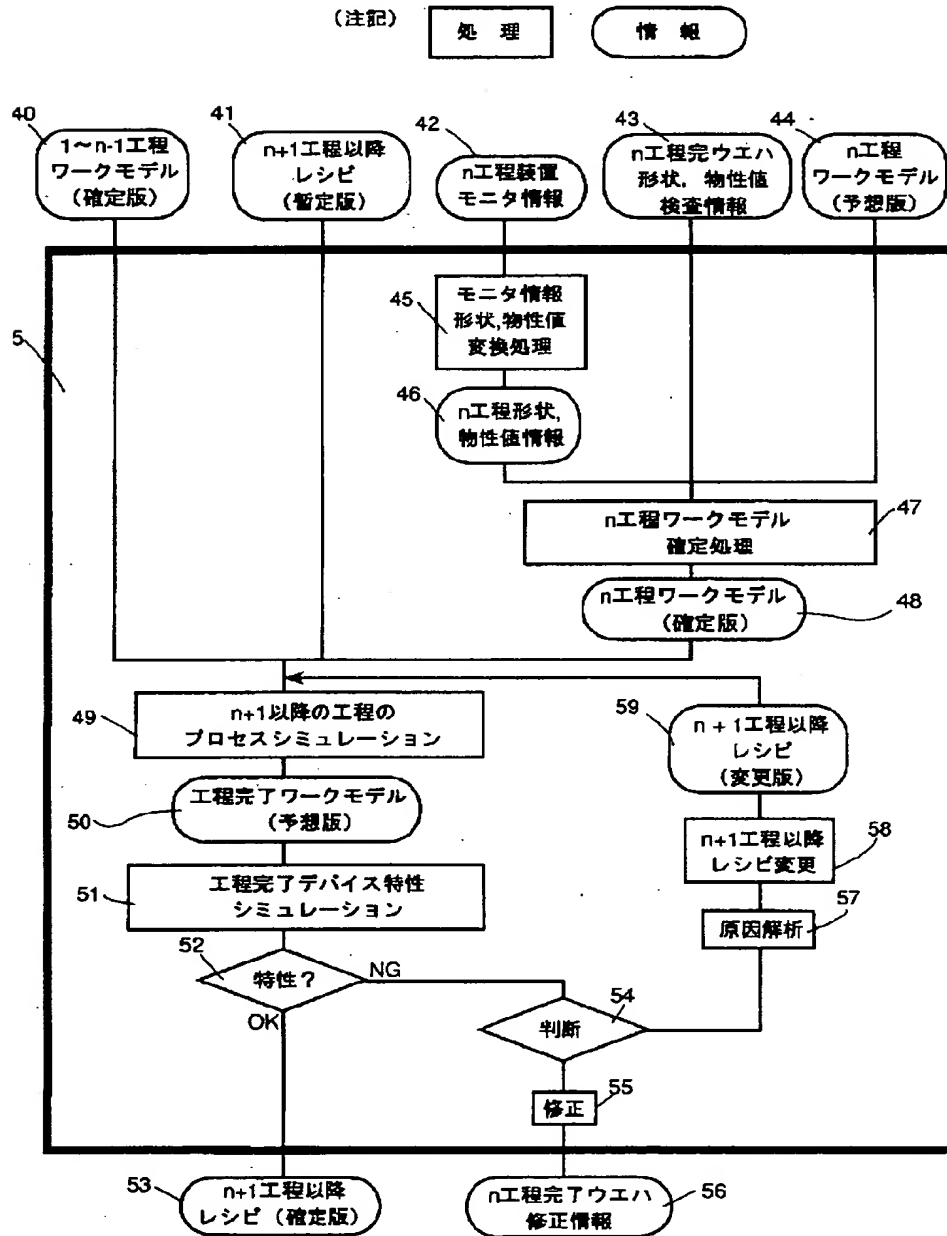
【図2】

図2 本発明の第1の実施例の製造システムの図



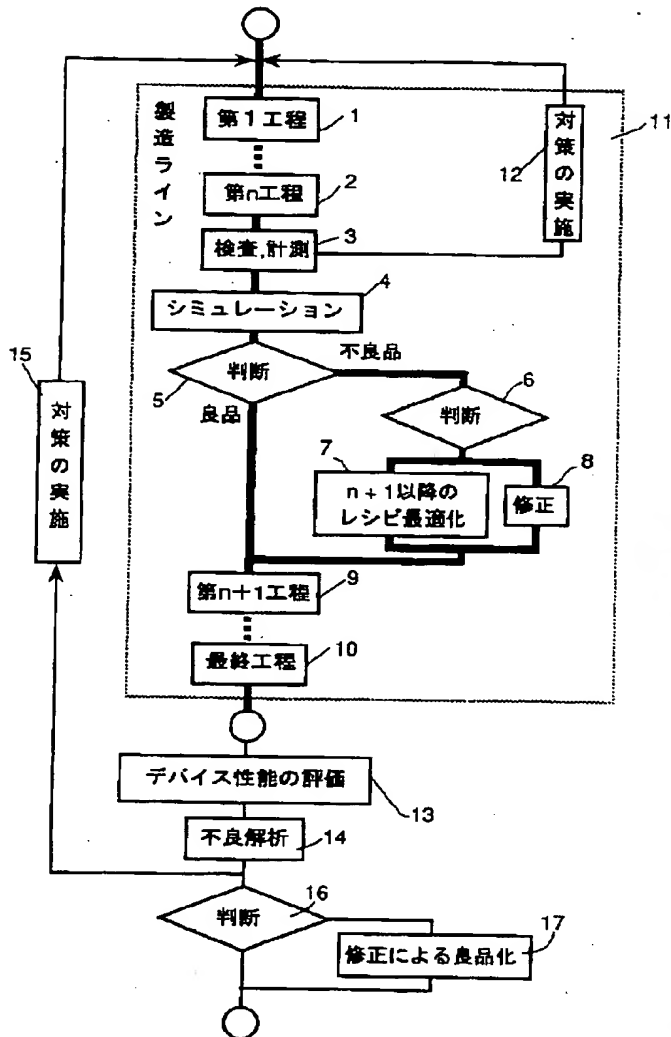
【図3】

図3 本発明の第1の実施例の詳細な処理手順の流れ図



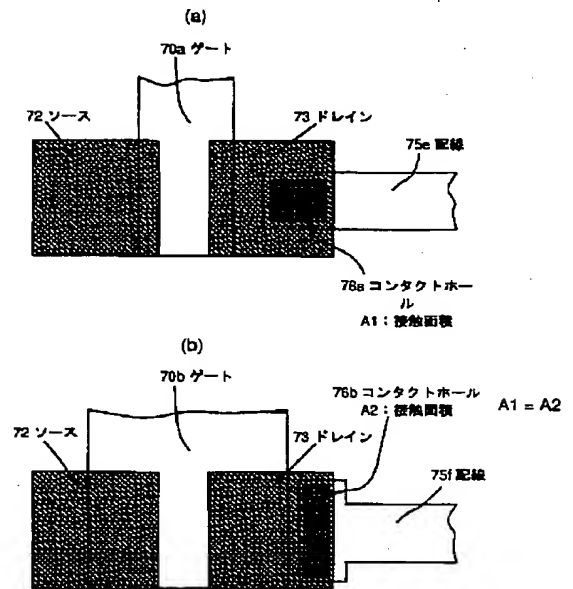
【図 4】

図4 本発明の第1の実施例の製造方法の流れ図



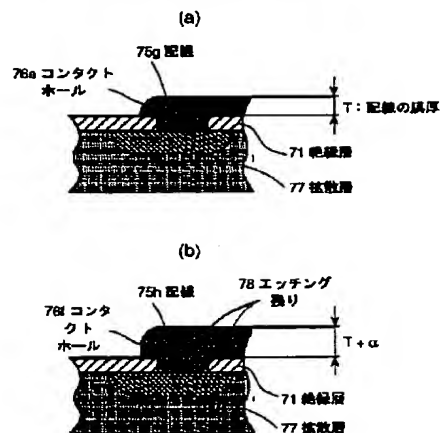
【図 7】

図7 本発明の第1の実施例のLSI上方からの平面透視図



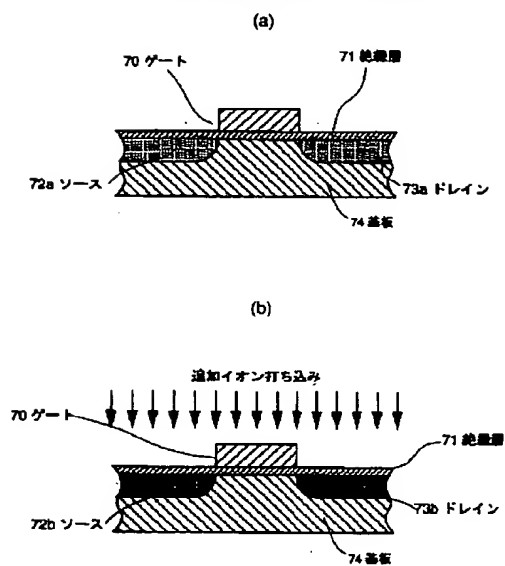
【図 8】

図8 本発明の第1の実施例のLSI断面図



【図9】

図9 本発明の第1の実施例のLSI断面図



フロントページの続き

(72)発明者 宮内 建興
 神奈川県横浜市戸塚区吉田町292番地株式
 会社日立製作所生産技術研究所内

(72)発明者 原 靖彦
 神奈川県横浜市戸塚区吉田町292番地株式
 会社日立製作所生産技術研究所内